



**Europäisches
Patentamt**

**European
Patent Office**

**Office européen
des brevets**

Bescheinigung

Certificate

Attestation

Die angehefteten Unterla-
gen stimmen mit der
ursprünglich eingereichten
Fassung der auf dem näch-
sten Blatt bezeichneten
europäischen Patentanmel-
dung überein.

The attached documents
are exact copies of the
European patent application
described on the following
page, as originally filed.

Les documents fixés à
cette attestation sont
conformes à la version
initialement déposée de
la demande de brevet
européen spécifiée à la
page suivante.

Patentanmeldung Nr. Patent application No. Demande de brevet n°

02425804.8

Der Präsident des Europäischen Patentamts;
Im Auftrag

For the President of the European Patent Office

Le Président de l'Office européen des brevets
p.o.

R C van Dijk

THIS PAGE BLANK (USPTO)



Anmeldung Nr:
Application no.: 02425804.8
Demande no:

Anmeldetag:
Date of filing: 30.12.02
Date de dépôt:

Anmelder/Applicant(s)/Demandeur(s):

STMicroelectronics S.r.l.
Via C. Olivetti, 2
20041 Agrate Brianza (Milano)
ITALIE

Bezeichnung der Erfindung/Title of the invention/Titre de l'invention:
(Falls die Bezeichnung der Erfindung nicht angegeben ist, siehe Beschreibung.
If no title is shown please refer to the description.
Si aucun titre n'est indiqué se référer à la description.)

Conversion stage of the differential/single-ended type and hysteresis comparator
for a signal receiver

In Anspruch genommene Priorität(en) / Priority(ies) claimed /Priorité(s)
revendiquée(s)
Staat/Tag/Aktenzeichen/State/Date/File no./Pays/Date/Numéro de dépôt:

Internationale Patentklassifikation/International Patent Classification/
Classification internationale des brevets:

H03K/

Am Anmeldetag benannte Vertragstaaten/Contracting states designated at date of
filing/Etats contractants désignées lors du dépôt:

AT BE BG CH CY CZ DE DK EE ES FI FR GB GR IE IT LI LU MC NL
PT SE SI SK TR

THIS PAGE BLANK (USPTO)

Titolo: "Stadio di conversione di tipo differenziale/single-ended e comparatore ad isteresi per ricevitore di segnali."

DESCRIZIONE

Campo di applicazione

5 La presente invenzione fa riferimento ad uno stadio di conversione di tipo differenziale/single-ended e ad un comparatore ad isteresi per ricevitore di segnali.

10 Più specificatamente l'invenzione si riferisce ad uno stadio di conversione di tipo differenziale/single-ended inserito tra un primo ed un secondo riferimento di tensione ed avente un primo ed un secondo terminale di ingresso atti a ricevere segnali digitali, un terminale di uscita atto a fornire un segnale analogico, ed un terminale di polarizzazione atto a ricevere una corrente di polarizzazione.

15 L'invenzione fa altresì riferimento ad un comparatore ad isteresi e ad un ricevitore di segnali differenziali.

L'invenzione riguarda in particolare, ma non esclusivamente, uno stadio di conversione ed un comparatore ad isteresi per un ricevitore di segnali audio digitali e la descrizione che segue è fatta con riferimento a questo campo di applicazione con il solo scopo di semplificarne l'esposizione.

20 Arte nota

Come è ben noto, nel campo delle applicazioni audio digitali occorre ricostruire dati affetti da rumore provenienti da una fibra ottica (POF) o da un cavo coassiale. I dati possono essere di tipo single-end o differenziali. A tal scopo è possibile utilizzare comparatori ad isteresi o trigger di Schmitt, ben noti in letteratura.

25 A titolo d'esempio, in Figura 1 è mostrato un comparatore 10 ad isteresi di tipo single-end comprendente essenzialmente un amplificatore operazionale 11 con retroazione positiva.

In particolare, l'amplificatore operazionale 11 presenta un terminale di

ingresso invertente (-) ricevente un segnale di tensione di ingresso V_i ed un terminale di uscita connesso in retroazione, tramite un resistore R_2 , ad un terminale di ingresso non invertente (+) ed atto a fornire un segnale di tensione di uscita V_o .

- 5 Il terminale di ingresso non invertente (+) è inoltre collegato ad un riferimento di tensione $-V_{dd}$ tramite un ulteriore resistore R_1 . A tale terminale di ingresso non invertente (+) viene quindi fornito un valore V_+ di tensione pari a:

$$V_+ = \beta V_o \quad (1)$$

- 10 essendo:

V_o il valore di tensione presente sul terminale di uscita dell'amplificatore operazionale 11;

β un coefficiente di retroazione pari a $R_1/(R_1+R_2)$.

- 15 E' altresì possibile ottimizzare un tale comparatore ad isteresi mediante una configurazione di tipo MOS, schematicamente illustrata in Figura 2 e complessivamente indicata con 20. In particolare il comparatore ad isteresi 20 è inserito tra un primo V_{plus} ed un secondo riferimento di tensione V_{minus} e comprende un trigger di Schmitt 21 in configurazione single-ended collegato in cascata ad un buffer 22 tra un
20 terminale di ingresso IN ed un terminale di uscita TRIGGER.

- In particolare, il trigger di Schmitt 21 comprende un ramo 23 di transistori di ingresso a sua volta comprendente una prima coppia di transistori PMOS, M13 e M14, inseriti, in serie tra loro, tra il primo riferimento di tensione V_{plus} ed un nodo circuitale interno triggNEG ed
25 aventi i terminali di controllo connessi tra loro ed al terminale di ingresso IN del comparatore a isteresi 20, nonché i terminale di bulk connessi tra loro ed al primo riferimento di tensione V_{plus} .

- Il ramo 23 di transistori di ingresso comprende inoltre una seconda coppia di transistori NMOS, M17 e M18, inseriti, in serie tra loro, tra il
30 nodo circuitale interno triggNEG ed il secondo riferimento di tensione

Vminus ed aventi i terminali di controllo connessi tra loro ed al terminale di ingresso IN del comparatore a isteresi 20, nonché i terminali di bulk connessi tra loro ed al secondo riferimento di tensione Vminus.

- 5 Il trigger di Schmitt 22 comprende inoltre un ulteriore transistor PMOS M12 inserito tra un nodo intermedio X21 tra i transistori M13 ed M14 della prima coppia di transistori PMOS ed il secondo riferimento di tensione Vminus ed avente il terminale di bulk connesso al primo riferimento di tensione Vplus.
- 10 Infine, il trigger di Schmitt 22 comprende un transistor NMOS M19 inserito tra il primo riferimento di tensione Vplus ed un nodo intermedio X22 tra i transistori M17 ed M18 della seconda coppia di transistori NMOS ed avente il terminale di bulk connesso al secondo riferimento di tensione Vminus.
- 15 I transistori M12 ed M19 presentano rispettivi terminali di controllo connessi tra loro ed al nodo circuitale interno triggNEG, nonché al buffer 23.

In particolare, il buffer 23 comprende un primo M11 ed un secondo transistor M20, rispettivamente di tipo PMOS ed NMOS, collegati, in serie tra loro, tra il primo Vplus ed il secondo riferimento di tensione Vminus, ed aventi i terminali di controllo connessi ai terminali di controllo dei transistori M12 ed M19 del trigger di Schmitt 22, nonché i terminali di bulk connessi rispettivamente al primo Vplus ed al secondo riferimento di tensione Vminus.

- 25 Infine, i transistori M11 ed M20 sono connessi tra loro in corrispondenza del terminale di uscita TRIGGER del comparatore ad isteresi 20.

L'obiettivo dei comparatori ad isteresi di tipo noto è essenzialmente evitare l'incertezza sulla comparazione quando il segnale d'ingresso transita per la soglia di commutazione, come schematicamente
30 illustrato in Figura 3.

In particolare, nell'esempio illustrato, è stato preso in considerazione un segnale in ingresso monotono a tratti cui è stato aggiunto un rumore bianco avente varianza prefissata. Il rumore bianco aggiunto causa un ripetuto attraversamento per lo zero del segnale ricevuto dal comparatore ad isteresi generando una serie di commutazioni indesiderate all'uscita del comparatore stesso.

In uscita dal comparatore ad isteresi si avrebbe quindi una errata decodifica del segnale in ingresso e la presenza di cosiddetti glitches spuri che occorre eliminare all'origine, prima di effettuare la comparazione.

Una prima soluzione nota per eliminare questi glitches spuri consiste nel filtrare il segnale digitale d'ingresso prima di inviarlo al comparatore. Tale soluzione nota va però a discapito della massima frequenza di lavoro che il comparatore stesso può raggiungere.

Una ulteriore soluzione nota consiste nell'utilizzare un dispositivo non lineare che presenta una funzione di trasferimento del tipo di quella riportata in Figura 4. In particolare, la Figura 4 mostra le soglie di scatto durante la comparazione con isteresi e mostra come la larghezza del ciclo d'isteresi determina il grado d'immunità al rumore che risulta possibile cancellare mediante tale dispositivo non lineare.

La Figura 5 mostra l'andamento in funzione del tempo della comparazione con isteresi di un segnale privo di rumore e di un segnale con rumore, rispettivamente. E' facile verificare che, aggiungendo del rumore al segnale di ingresso, il comparatore ad isteresi continua a presentare un funzionamento corretto, ma introduce un errore di fase o jitter sulla commutazione dei fronti di uscita. Questo limite teorico è legato alla varianza del rumore sovrapposto al segnale e determina la massima frequenza del segnale che si riesce a recuperare con una probabilità di errore prefissata.

Inoltre, nel caso di un comparatore ad isteresi 20 realizzato mediante un trigger di Schmitt, si verifica che, sebbene il comparatore presenti buone caratteristiche in termini di velocità e consumo di potenza, non

risulta soddisfare le seguenti specifiche normalmente richieste dalle varie applicazioni:

5 - non permette di interfacciare direttamente un segnale proveniente da un cavo e presentante una dinamica ad esempio fino a 10 Volt utilizzando, ad esempio, un ricevitore implementato con tecnologia a bassa tensione di alimentazione(<2.5V);

- non risulta compatibile con gli standard che richiedono differenti valori di isteresi;

10 - non raggiunge una velocità di risposta sufficientemente elevata con un consumo ridotto di potenza necessaria alle applicazioni portatili a batteria;

- non risulta compatibile con segnali di ingresso di tipo single-ended/differenziali senza perdita di prestazioni.

15 Il problema tecnico che sta alla base della presente invenzione è quello di escogitare un comparatore ad isteresi per realizzare un ricevitore per segnali digitali in grado di ricostruire dati digitali affetti da rumore adatto alle esigenze delle applicazioni audio ed avente caratteristiche strutturali e funzionali tali da superare le limitazioni che tuttora affliggono i dispositivi realizzati secondo l'arte nota.

20 Sommario dell'invenzione

L'idea di soluzione che sta alla base della presente invenzione è quella di realizzare, prima di inviare i segnali al comparatore ad isteresi, una conversione di tipo differenziale/single-ended in grado di mantenere il valore di impedenza vista in ogni nodo con assenza di retroazioni, in
25 modo da rendere il comparatore stabile al variare della corrente di polarizzazione e della dinamica della tensione di isteresi.

Sulla base di tale idea di soluzione il problema tecnico è risolto da uno stadio di conversione di tipo differenziale/single-ended inserito tra un primo ed un secondo riferimento di tensione ed avente un primo ed un
30 secondo terminale di ingresso atti a ricevere segnali digitali, un

terminale di uscita atto a fornire un segnale analogico, ed un terminale di polarizzazione atto a ricevere una corrente di polarizzazione, caratterizzato dal fatto di comprendere:

5 - un primo specchio di corrente connesso a detto primo riferimento di tensione e a detto terminale di ingresso, nonché a detto terminale di polarizzazione;

- un secondo specchio di corrente connesso a detto secondo riferimento di tensione e a detto primo terminale di ingresso, nonché ad un nodo circuitale;

10 - un terzo specchio di corrente connesso a detto secondo riferimento di tensione e a detto secondo terminale di ingresso, nonché a detto terminale di uscita; e

- un quarto specchio di corrente connesso a detto primo riferimento di tensione, a detto nodo circuitale, nonché a detto terminale di uscita.

15 Il problema è altresì risolto da un comparatore ad isteresi e da un ricevitore di segnali.

Le caratteristiche ed i vantaggi dei dispositivi secondo l'invenzione risulteranno dalla descrizione, fatta qui di seguito, di loro esempi di realizzazione dati a titolo indicativo e non limitativo con riferimento ai
20 disegni allegati.

Breve descrizione dei disegni

In tali disegni:

la Figura 1 mostra schematicamente un comparatore ad isteresi realizzato secondo l'arte nota;

25 la Figura 2 mostra schematicamente una variante di realizzazione di un comparatore ad isteresi realizzato secondo l'arte nota;

la Figura 3 mostra l'incertezza nella comparazione di un comparatore

ad isteresi realizzato secondo l'arte nota;

le Figure 4 e 5 mostrano l'andamento nel tempo di segnali interni ad un comparatore ad isteresi realizzato secondo l'arte nota;

la Figura 6 mostra schematicamente uno stadio di conversione
5 realizzato secondo l'invenzione;

la Figura 7 mostra schematicamente un ricevitore di segnali realizzato mediante un comparatore ad isteresi secondo l'invenzione;

le Figure 8 e 9 mostrano l'andamento nel tempo di segnali
interni allo stadio differenziale di Figura 6 ed al comparatore ad isteresi
10 di Figura 7.

Descrizione dettagliata

Con riferimento a tali figure, ed in particolare alla Figura 6, con 60 è complessivamente e schematicamente indicato uno stadio di conversione di tipo differenziale/single-ended.

15 Lo stadio 60 di conversione è inserito tra un primo Vplus ed un secondo riferimento di tensione Vminus e presenta essenzialmente una struttura di tipo current-mode formata da una pluralità di specchi di corrente realizzati mediante transistori di tipo MOS. Lo stadio 60 di conversione presenta una coppia di terminali di ingresso A e B, un terminale di
20 uscita OUT ed un terminale di polarizzazione TP ricevete una corrente di polarizzazione Ipolar.

Più in dettaglio, lo stadio 60 di conversione comprende un primo specchio di corrente 61 connesso al primo riferimento di tensione Vplus ed ai terminale di ingresso A e B, nonché al terminale di polarizzazione
25 TP. Il primo specchio di corrente 61 comprende un primo M1, un secondo M2 ed un terzo transistor MOS M3 a canale P.

Il primo transistor M1 è inserito tra il primo riferimento di tensione Vplus ed il primo terminale di ingresso A, a cui è connesso tramite un primo R1 ed un secondo elemento resistivo R2, e presenta un terminale

di controllo collegato al terminale di controllo del secondo M2 e del terzo transistor M3.

5 Il secondo transistor M2, configurato a diodo, è inserito tra il primo riferimento di tensione V_{plus} ed il terminale di polarizzazione TP e presenta un terminale di controllo connesso al terminale di controllo del primo transistor M1 ed al terminale di polarizzazione TP.

10 Il terzo transistor M3 è inserito tra il primo riferimento di tensione V_{plus} ed il secondo terminale di ingresso B, al quale è connesso tramite un terzo R3 ed un quarto elemento resistivo R4, e presenta un terminale di controllo connesso al terminale di controllo del primo M1 e del secondo transistor M2.

15 Lo stadio 60 di conversione comprende inoltre un secondo specchio di corrente 62 connesso al secondo riferimento di tensione V_{minus} ed al primo terminale di ingresso A, nonché ad un nodo circuitale X. Il secondo specchio di corrente 62 comprende un quarto M4 ed un quinto transistor MOS M5 a canale N.

20 In particolare, il quarto transistor M4, configurato a diodo, è inserito tra il primo terminale di ingresso A, al quale è connesso tramite un quinto elemento resistivo R5 ed il secondo elemento resistivo R2, ed il secondo riferimento di tensione V_{minus} e presenta un terminale di controllo connesso al terminale di controllo del quinto transistor M5.

Il quinto transistor M5 è inserito tra il nodo circuitale X ed il secondo riferimento di tensione V_{minus} e presenta un terminale di controllo connesso al terminale di controllo del quarto transistor M4.

25 Lo stadio 60 di conversione comprende ulteriormente un terzo specchio di corrente 63 connesso al secondo riferimento di tensione V_{minus} ed al secondo terminale di ingresso B, nonché al terminale di uscita OUT. Il terzo specchio di corrente 63 comprende un sesto M6 ed un settimo transistor MOS M7 a canale N.

30 In particolare, il sesto transistor M6, configurato a diodo, è inserito tra il secondo terminale di ingresso B, al quale è connesso tramite un sesto

elemento resistivo R6 ed il quarto elemento resistivo R4, ed il secondo riferimento di tensione Vminus e presenta un terminale di controllo connesso al terminale di controllo del settimo transistor M7.

5 Il settimo transistor M7 è inserito tra il terminale di uscita OUT ed il secondo riferimento di tensione Vminus e presenta un terminale di controllo connesso al terminale di controllo del sesto transistor M6.

10 Lo stadio 60 di conversione comprende infine un quarto specchio di corrente 64 connesso al primo riferimento di tensione Vplus, al nodo circuitale X, nonché al terminale di uscita OUT. Il quarto specchio di corrente 64 comprende un ottavo M8 ed un nono transistor MOS M9 a canale P.

15 In particolare, l'ottavo transistor M8, configurato a diodo, è inserito tra il primo riferimento di tensione Vplus ed il nodo circuitale X e presenta un terminale di controllo connesso al terminale di controllo del nono transistor M9.

Il nono transistor M9 è inserito tra il primo riferimento di tensione Vplus ed il terminale di uscita OUT e presenta un terminale di controllo connesso al terminale di controllo dell'ottavo transistor M8.

20 Il primo A ed il secondo terminale di ingresso B sono connessi tra loro mediante un ulteriore settimo elemento resistivo R7.

Infine, lo stadio 60 di conversione comprende un convertitore corrente-tensione 65, inserito tra il primo Vplus ed il secondo riferimento di tensione Vminus e collegato al terminale di uscita OUT dello stadio 60 di conversione.

25 In particolare, il convertitore corrente-tensione 65 comprende un decimo transistor MOS M10 inserito tra il primo riferimento di tensione Vplus ed il terminale di uscita OUT dello stadio 60 di conversione, in parallelo al nono transistor M9 compreso nel quarto specchio di corrente 64, ed avente un terminale di controllo connesso al
30 terminale di uscita OUT.

Il convertitore corrente-tensione 65 comprende inoltre un undicesimo transistor MOS M11 inserito tra il terminale di uscita OUT ed il secondo riferimento di tensione Vminus, in parallelo al settimo transistor M7 compreso nel terzo specchio di corrente 63 ed avente un terminale di controllo connesso al terminale di uscita OUT.

Nell'esempio illustrato, i transistori M10 ed M11 sono rispettivamente a canale P ed a canale N.

Inoltre, tutti i transistori MOS a canale P compresi nello stadio 60 di conversione presentano terminali di bulk connessi al primo riferimento di tensione Vplus e tutti i transistori MOS a canale N presentano terminali di bulk connessi al secondo riferimento di tensione Vminus.

E' opportuno notare che gli elementi resistivi R1, R2, R3, R4, R5, R6 ed R7 formano un ponte resistivo 66 che adatta l'impedenza dello stadio 60 di conversione con quella di un eventuale cavo coassiale collegato ai terminali di ingresso A e B e protegge i transistori compresi nello stadio 60 stesso da una eccessiva sovratensione.

Vantaggiosamente secondo l'invenzione, è possibile implementare lo stadio 60 di conversione in una tecnologia a bassa tensione d'alimentazione (vale a dire per valori di tensione di alimentazione inferiori a 2.5V) e interfacciarlo direttamente ad un segnale proveniente da un cavo coassiale, la cui dinamica può arrivare fino a 10Volt per alcuni standard.

Vediamo ora il funzionamento dello stadio 60 di conversione secondo l'invenzione.

La sua caratteristica principale consiste nel mantenere l'impedenza vista ad ogni suo nodo ad un valore pari a $1/g_m$, riuscendo in tal modo ad essere intrinsecamente veloce anche per basse correnti di polarizzazione. L'assenza di retroazioni rende lo stadio 60 di conversione secondo l'invenzione incondizionatamente stabile al variare della corrente di polarizzazione I_{polar} .

E' opportuno notare che proprio tale corrente di polarizzazione I_{polar}

determina il guadagno dello stadio e, di fatto, la dinamica della sua tensione di isteresi.

Infine, il convertitore corrente-tensione 65 determina il guadagno dello stadio 60.

- 5 Sul terminale di uscita OUT è così presente un segnale convertito di tipo single-end ancora analogico in grado di pilotare un comparatore invertente del tipo ad isteresi, quale il trigger di Schmitt descritto con riferimento all'arte nota ed illustrato schematicamente in Figura 2. Si
10 ottiene in tal modo un comparatore ad isteresi 70 realizzato secondo l'invenzione, come schematicamente illustrato in Figura 7.

In particolare, il comparatore ad isteresi 70 comprende uno stadio 60 di conversione inserito tra il primo Vplus ed il secondo riferimento di tensione Vminus ed avente il terminale di polarizzazione TP connesso ad
15 un generatore GP della corrente di polarizzazione Ipolar, nonché il terminale di uscita OUT connesso al terminale di ingresso IN di un trigger di Schmitt 20, a sua volta inserito tra il primo Vplus ed il secondo riferimento di tensione Vminus ed avente un terminale di uscita OUTC atto a fornire un segnale di comparazione.

Si ricorda che il trigger di Schmitt 20 presenta un ciclo di isteresi pari a:

20
$$V_{\text{hys}} = V_{\text{plus}} - (\Delta V_N - \Delta V_P) \quad (2)$$

essendo:

V_{hys} la tensione di isteresi del trigger di Schmitt 20;

V_{plus} la tensione di alimentazione del trigger di Schmitt 20; e

$$\Delta V_N = |V_{\text{th19}} - V_{\text{th18}}| \quad (3)$$

25
$$\Delta V_N = |V_{\text{th12}} - V_{\text{th12}}| \quad (4)$$

dove V_{th19} , V_{th18} , V_{th12} e V_{th13} sono le tensioni di soglia rispettivamente dei transistori M19, M18, M12 ed M13, compresi nel trigger di Schmitt 20 come illustrato in Figura 2.

E' quindi possibile modificare la tensione di isteresi agendo sulle geometrie di tali transistori M18, M19, M12 ed M13 compresi nel trigger di Schmitt 20 in modo tale da variare le tensioni di soglia V_{th} degli stessi secondo le relazioni (3) e (4) e quindi modificare la tensione di
5 isteresi secondo la relazione (2).

In particolare, lo stadio 60 di conversione permette di realizzare, mediante una architettura di tipo CMOS, un convertitore di tipo differenziale single-ended in cui le geometrie dei transistori utilizzati determinano la tensione di isteresi per una assegnata corrente di
10 polarizzazione. Lo stadio 60 di conversione consente parimenti di variare dinamicamente nel tempo la tensione di isteresi e la banda di funzionamento al variare della corrente di polarizzazione.

Vantaggiosamente secondo l'invenzione, per limitare il range di possibilità teoricamente ottenibili, è agevole fissare la tensione di
15 isteresi modificando le geometrie dei transistori M10 ed M11 compresi nel convertitore corrente-tensione 65 dello stadio 60 di conversione. E' altresì possibile fissare la tensione di isteresi variando la corrente di polarizzazione I_{polar} .

Il comparatore ad isteresi 70 ottenuto dalla cascata dello stadio 60 di
20 conversione secondo l'invenzione e del trigger di Schmitt 20 risulta quindi più versatile e flessibile rispetto ad un comparatore ad isteresi realizzato secondo l'arte nota.

Vantaggiosamente secondo l'invenzione, il comparatore ad isteresi 70 può essere utilizzato come ricevitore di segnali differenziali RXP e RXN
25 ricevuti su rispettivi terminali di ingresso differenziale TXP e TXN connessi, mediante una prima C1 ed una seconda capacità C2, ai terminali di ingresso A e B dello stadio 60 di conversione, come illustrato in Figura 7.

Il funzionamento dello stadio 60 di conversione e di un ricevitore di
30 segnali realizzato mediante un comparatore ad isteresi 70 secondo l'invenzione è stato simulato dalla Richiedente stessa e testato in condizioni di segnali rumorosi. I risultati ottenuti sono riportati nelle

Figure 8 e 9.

In particolare, la Figura 8 mostra l'andamento di un segnale presente sul terminale di uscita OUT dello stadio 60 di conversione, indicato come V(DIFSING), a fronte di un ingresso differenziale RXP, RXN sui terminali TXP e TXN con rumore sovrapposto superiore alla dinamica del segnale stesso.

Si vede così come il segnale ricostruito V(DIFSING) risulti corretto, il rumore essendo stato correttamente eliminato. Il ricevitore di segnali realizzato dal comparatore ad isteresi 70 secondo l'invenzione permette quindi un'ottima squadratura del segnale presente sul terminale di uscita OUTC del trigger di Schmitt 20, indicato come V(TRIG) in Figura 8.

In Figura 9 sono mostrati gli stessi segnali in presenza di rumore su entrambi gli ingressi RXP ed RXN. E' immediato notare che il ricevitore di segnali realizzato dal comparatore ad isteresi 70 presenta un corretto funzionamento anche in questa situazione estrema.

In altre parole, il comparatore ad isteresi 70 secondo l'invenzione permette una corretta ricostruzione di un segnale rumoroso differenziale.

In conclusione, lo stadio 60 di conversione ed il comparatore ad isteresi 70 permettono di realizzare un ricevitore per segnali differenziali in grado di funzionare correttamente in presenza di segnali rumorosi e consentono al contempo di conseguire i seguenti vantaggi:

- permettono la ricezione diretta di un segnale da cavo, grazie alla presenza del ponte resistivo (66) collegato ai terminali di ingresso;
- permettono la regolazione della tensione di isteresi mediante la modifica delle geometrie di transistori (M10, M11) in essi contenuti o mediante variazione della corrente di polarizzazione (I_{polar}); la tensione di isteresi può quindi essere adattata alle specifiche imposte da diversi standard;

- presentano un'elevata velocità di risposta anche per basse correnti di polarizzazione avendo impedenza pari a $1/\text{gm}$ in ogni nodo;
 - risultano stabili al variare della corrente di polarizzazione (I_{polar}) grazie all'assenza di retroazioni; e
- 5 - possono essere implementati in una tecnologia a bassa tensione d'alimentazione.

Infine, vantaggiosamente secondo l'invenzione, è possibile realizzare un ricevitore di segnali differenziali in grado di operare ad un elevato bit-rate con un consumo di potenza trascurabile, risultando quindi adatto
10 ad applicazioni portatili a batteria.

Il ricevitore così realizzato supporta segnali d'ingresso single-ended e differenziali con dinamica superiore alla propria tensione d'alimentazione senza l'impiego di partitori resistivi esterni o level-shifter.

RIVENDICAZIONI

1. Stadio di conversione di tipo differenziale/single-ended inserito tra un primo ed un secondo riferimento di tensione (V_{plus} , V_{minus}) ed
5 avente un primo ed un secondo terminale di ingresso (A, B) atti a
ricevere segnali digitali, un terminale di uscita (OUT) atto a fornire un
segnale analogico, ed un terminale di polarizzazione (TP) atto a ricevere
una corrente di polarizzazione (I_{polar}), caratterizzato dal fatto di
comprendere:
 - un primo specchio di corrente (61) connesso a detto primo
10 riferimento di tensione (V_{plus}) e a detto terminale di ingresso (A, B),
nonché a detto terminale di polarizzazione (TP);
 - un secondo specchio di corrente (62) connesso a detto secondo
riferimento di tensione (V_{minus}) e a detto primo terminale di ingresso
(A), nonché ad un nodo circuitale (X);
 - 15 - un terzo specchio di corrente (63) connesso a detto secondo
riferimento di tensione (V_{minus}) e a detto secondo terminale di ingresso
(B), nonché a detto terminale di uscita (OUT); e
 - un quarto specchio di corrente (64) connesso a detto primo
20 riferimento di tensione (V_{plus}), a detto nodo circuitale (X), nonché a
detto terminale di uscita (OUT).
2. Stadio di conversione secondo la rivendicazione 1, caratterizzato
dal fatto di comprendere ulteriormente un convertitore corrente-
tensione (65), inserito tra detto primo e detto secondo riferimento di
tensione (V_{plus} , V_{minus}) e collegato a detto terminale di uscita (OUT).
- 25 3. Stadio di conversione secondo la rivendicazione 1, caratterizzato
dal fatto di comprendere ulteriormente un ponte resistivo (66) connesso
a detti terminali di ingresso (A, B) nonché a detti primo (61), secondo
(63) e terzo specchio di corrente (64).
4. Stadio di conversione secondo la rivendicazione 1, caratterizzato

dal fatto che detto primo specchio di corrente (61) comprende un primo, un secondo ed un terzo transistor (M1, M2, M3), inseriti, in parallelo tra loro, tra detto primo riferimento di tensione (Vplus) e detto primo terminale di ingresso (A), detto terminale di polarizzazione (TP) e detto
5 secondo terminale di ingresso (B), rispettivamente ed aventi terminali di controllo collegati tra loro, detto secondo transistor (M2) essendo configurato a diodo.

5. Stadio di conversione secondo la rivendicazione 1, caratterizzato dal fatto che detto secondo specchio di corrente (62) comprende un
10 quarto ed un quinto transistor (M4, M5) inseriti, in parallelo tra loro, tra detto secondo riferimento di tensione (Vminus) e rispettivamente detto primo terminale di ingresso (A) e detto nodo circuitale (X), ed aventi terminali di controllo connessi tra loro, detto quarto transistor (M4) essendo configurato a diodo.

15 6. Stadio di conversione secondo la rivendicazione 1, caratterizzato dal fatto che detto terzo specchio di corrente (63) comprende un sesto ed un settimo transistor (M6, M7), inseriti, in parallelo tra loro, tra detto secondo riferimento di tensione (Vminus) e rispettivamente detto secondo terminale di ingresso (B) e detto terminale di uscita (OUT) ed
20 aventi terminali di controllo connessi tra loro, detto sesto transistor (M6) essendo configurato a diodo.

7. Stadio di conversione secondo la rivendicazione 1, caratterizzato dal fatto che detto quarto specchio di corrente (64) comprende un ottavo ed un nono transistor (M8, M9), inseriti, in parallelo tra loro, tra detto
25 primo riferimento di tensione (Vplus) e rispettivamente detto nodo circuitale (X) e detto terminale di uscita (OUT) ed aventi terminali di controllo connessi tra loro, detto ottavo transistor (M8) essendo configurato a diodo.

8. Stadio di conversione secondo la rivendicazione 2, caratterizzato
30 dal fatto che detto convertitore corrente-tensione (65) comprende un decimo ed un undicesimo transistor (M10, M11), detto decimo transistor (M10) essendo inserito tra detto primo riferimento di tensione (Vplus) e detto terminale di uscita (OUT) ed avendo un

terminale di controllo connesso a detto terminale di uscita (OUT) e detto undicesimo transistor (M11) essendo inserito tra detto terminale di uscita (OUT) e detto secondo riferimento di tensione (V_{minus}) ed avendo un terminale di controllo connesso a detto terminale di uscita (OUT).

5 9. Stadio di conversione secondo la rivendicazione 3, caratterizzato dal fatto che detto ponte resistivo (66) comprende un primo elemento resistivo (R1) connesso a detto primo specchio di corrente (61) e, tramite un secondo elemento resistivo (R2), a detto primo terminale di ingresso (A), un terzo elemento resistivo (R3) connesso a detto primo specchio di
10 corrente (62) e, tramite un quarto elemento resistivo (R4), a detto secondo terminale di ingresso (B), un quinto elemento resistivo (R5) connesso a detto secondo specchio di corrente (62) e, tramite detto secondo elemento resistivo (R2), a detto primo terminale di ingresso (A), e un sesto elemento resistivo (R6) connesso a detto terzo specchio di
15 corrente (63) e, tramite detto quarto elemento resistivo (R4), a detto secondo terminale di ingresso (B).

10. Stadio di conversione secondo la rivendicazione 9, caratterizzato dal fatto che detto ponte resistivo (66) comprende ulteriormente un settimo elemento resistivo (R7) connesso tra detti primo e secondo
20 terminale di ingresso (A, B).

11. Stadio di conversione secondo una qualsiasi delle rivendicazioni precedenti, caratterizzato dal fatto che detti primo, secondo, terzo, ottavo, nono e decimo transistor (M1, M2, M3, M8, M9, M10) sono transistori MOS a canale P e dal fatto che detti quarto, quinto, sesto,
25 settimo e undicesimo transistor (M4, M5, M6, M7, M11) sono transistori MOS a canale N.

12. Stadio di conversione secondo la rivendicazione 11, caratterizzato dal fatto che detti transistori MOS a canale P presentano rispettivi terminali di bulk connessi a detto primo riferimento di tensione (V_{plus})
30 e dal fatto che detti transistori MOS a canale N presentano rispettivi terminali di bulk connessi a detto secondo riferimento di tensione (V_{minus}).

13. Comparatore ad isteresi inserito tra un primo ed un secondo riferimento di tensione (Vplus, Vminus) ed avente un primo ed un secondo terminale di ingresso (A, B) atti a ricevere segnali differenziali ed un terminale di uscita (OUTC) atto a fornire un segnale convertito, del tipo comprendente un trigger di Schmitt (20) inserito tra detti primo e secondo riferimento di tensione (Vplus, Vminus) ed avente un terminale di ingresso (IN) ed un terminale di uscita (TRIGGER) corrispondente a detto terminale di uscita (OUTC) di detto comparatore ad isteresi, caratterizzato dal fatto di comprendere ulteriormente uno stadio di conversione (60) inserito tra detti primo e secondo riferimento di tensione (Vplus, Vminus) e connesso tra detti primo e secondo terminale di ingresso (A, B) di detto comparatore ad isteresi e detto terminale di ingresso (IN) di detto trigger di Schmitt (20), nonché ad un terminale di polarizzazione (TP) atto a ricevere una corrente di polarizzazione (Ipolar), detto stadio di conversione (60) essendo realizzato secondo una delle rivendicazioni da 1 a 12.
14. Ricevitore di segnali inserito tra un primo ed un secondo riferimento di tensione (Vplus, Vminus) ed avente un primo ed un secondo terminale di ingresso (TXP, TXN) atti a ricevere segnali differenziali (RXP, RXN) ed un terminale di uscita (OUTC) atto a fornire un segnale convertito caratterizzato dal fatto di comprendere un comparatore ad isteresi (70) secondo la rivendicazione 13 ed avente detti primo e secondo terminale di ingresso (A, B) connessi a detti primo e secondo terminale di ingresso (TXP, TXN) di detto ricevitore mediante rispettive prima e seconda capacità (C1, C2).

RIASSUNTO

La presente invenzione fa riferimento ad uno stadio di conversione di tipo differenziale/single-ended inserito tra un primo ed un secondo riferimento di tensione (V_{plus} , V_{minus}) ed avente un primo ed un
5 secondo terminale di ingresso (A, B) atti a ricevere segnali digitali, un terminale di uscita (OUT) atto a fornire un segnale analogico, ed un terminale di polarizzazione (TP) atto a ricevere una corrente di polarizzazione (I_{polar}).

10 Vantaggiosamente secondo l'invenzione, lo stadio di conversione comprende:

- un primo specchio di corrente (61) connesso al primo riferimento di tensione (V_{plus}) ed ai terminale di ingresso (A, B), nonché al terminale di polarizzazione (TP);
- un secondo specchio di corrente (62) connesso al secondo
15 riferimento di tensione (V_{minus}) ed al primo terminale di ingresso (A), nonché ad un nodo circuitale (X);
- un terzo specchio di corrente (63) connesso al secondo riferimento di tensione (V_{minus}) ed al secondo terminale di ingresso (B), nonché al terminale di uscita (OUT); e
- 20 - un quarto specchio di corrente (64) connesso al primo riferimento di tensione (V_{plus}), al nodo circuitale (X), nonché al terminale di uscita (OUT).

(Fig. 6)

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

1/5

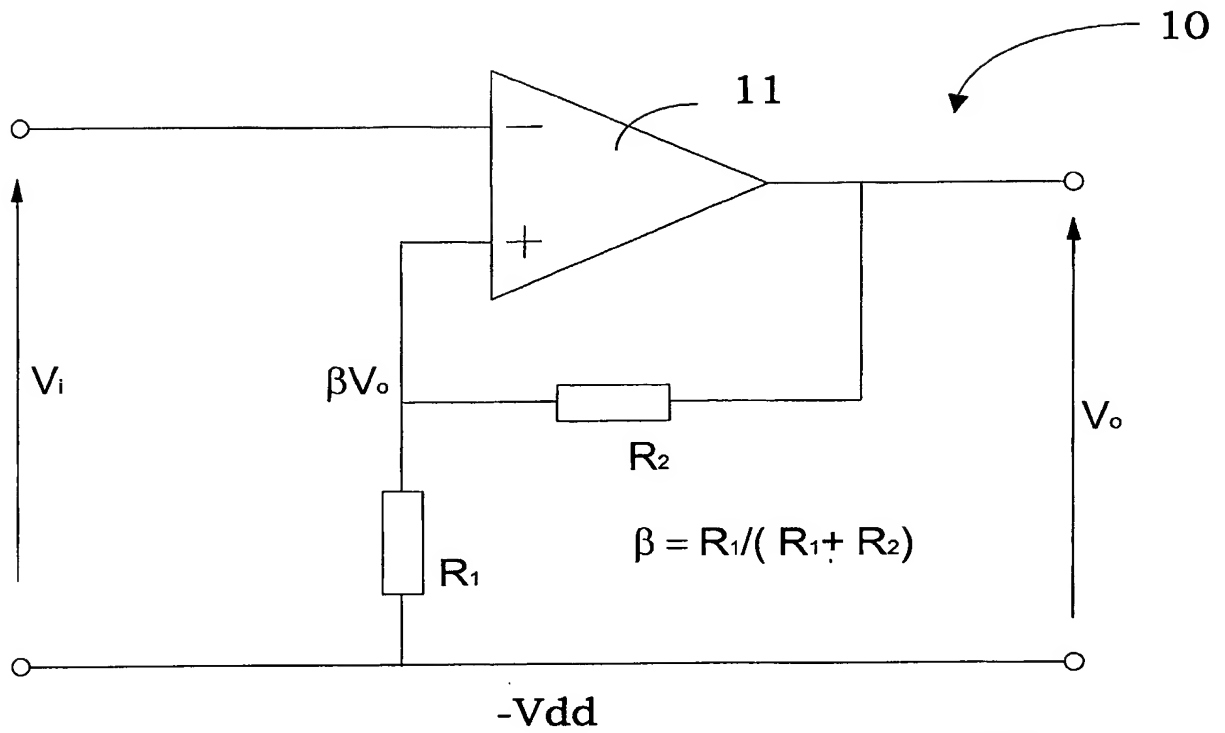


FIG. 1
PRIOR ART

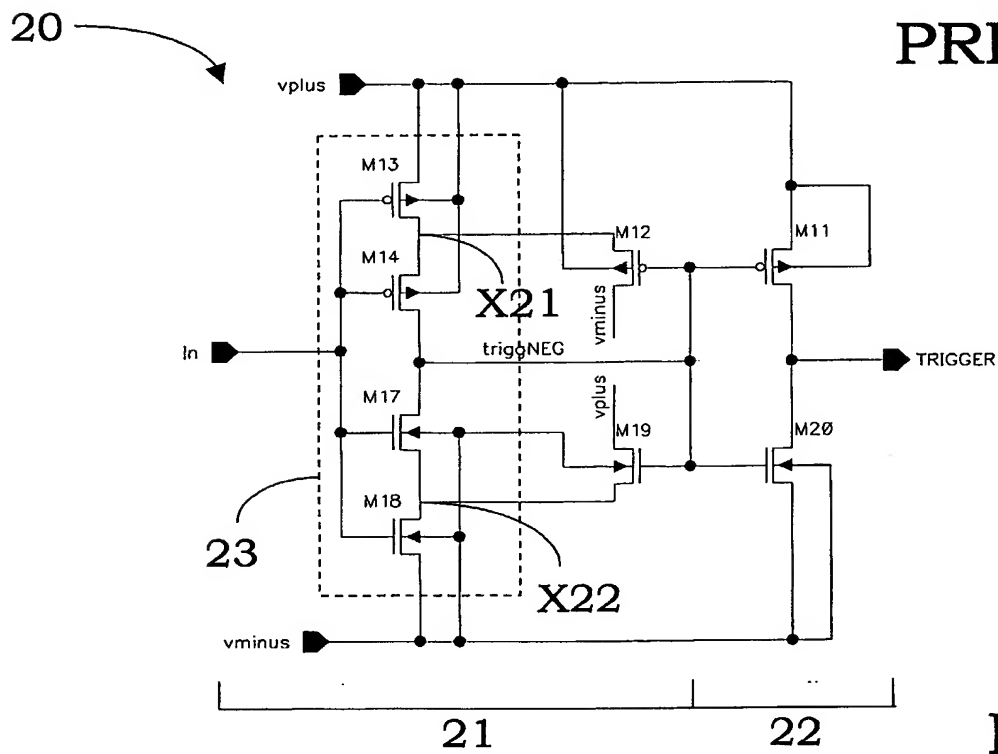


FIG. 2
PRIOR ART

2/5

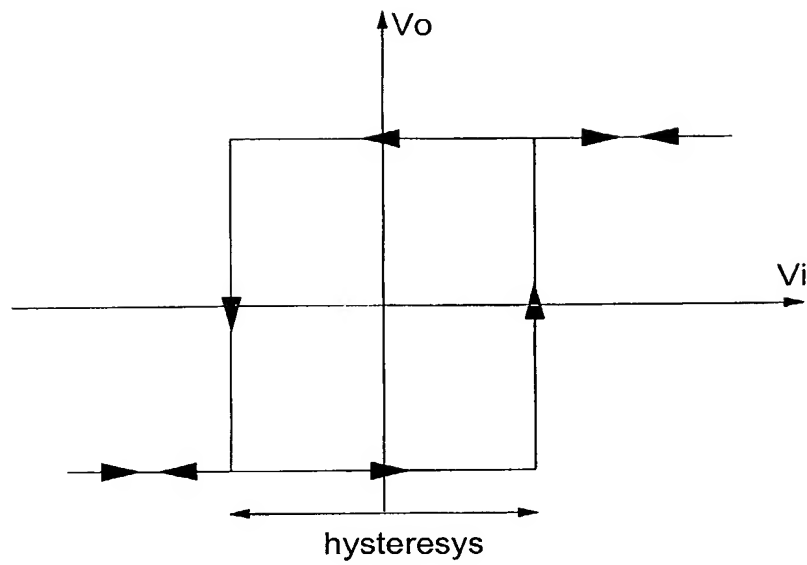


FIG. 3
PRIOR ART

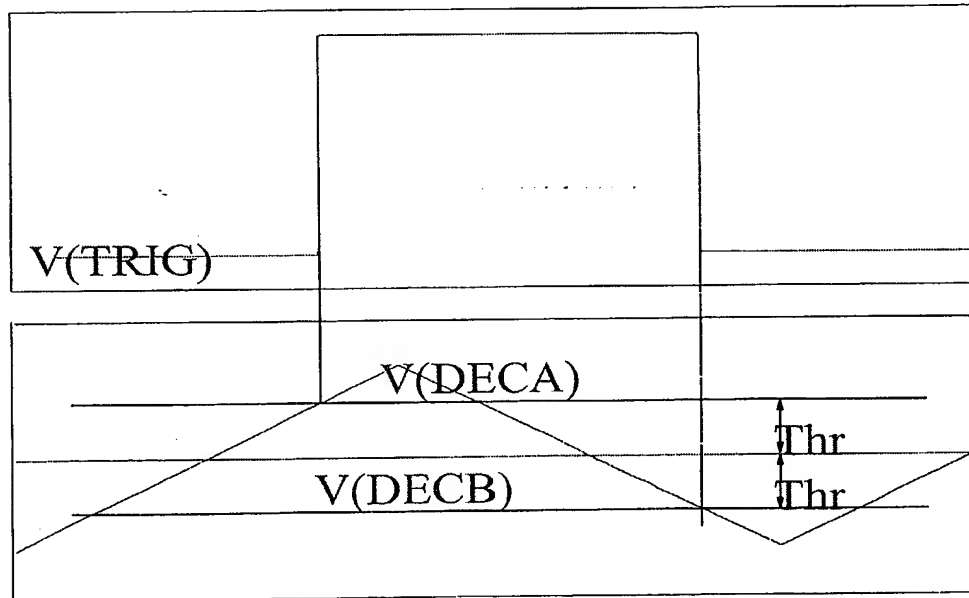


FIG. 4
PRIOR ART

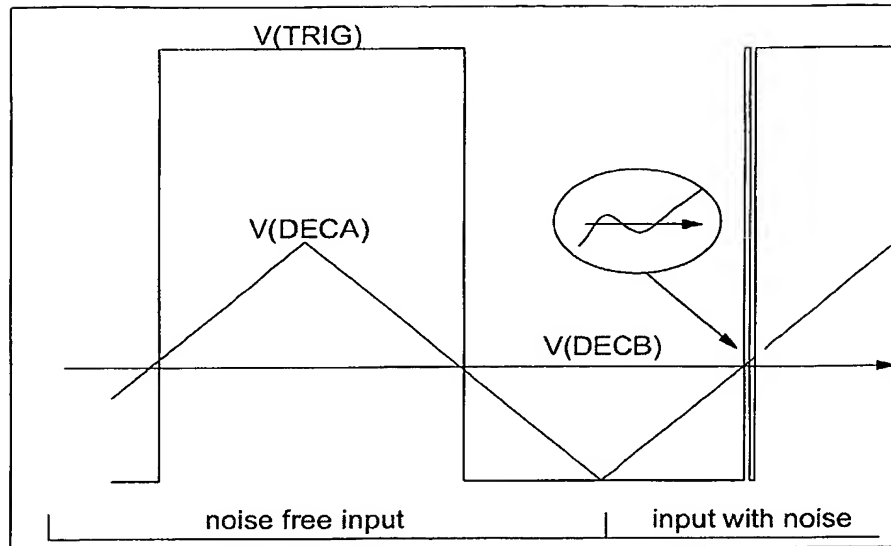


FIG. 5
PRIOR ART

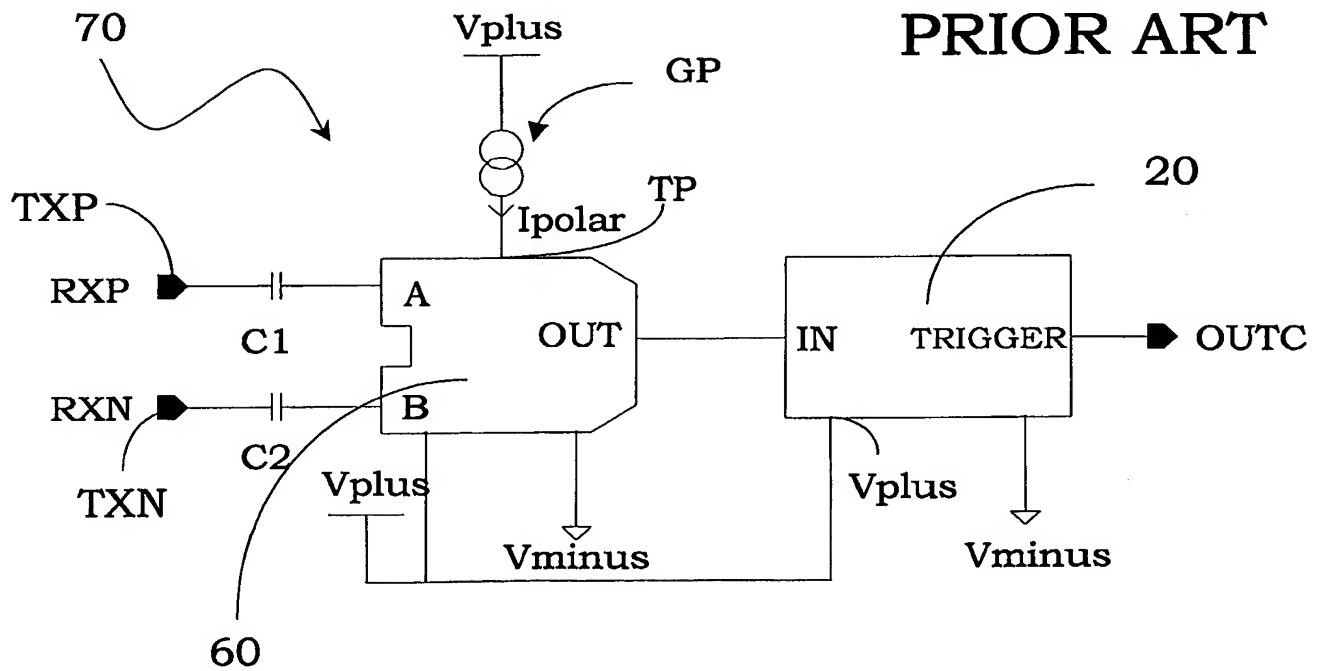
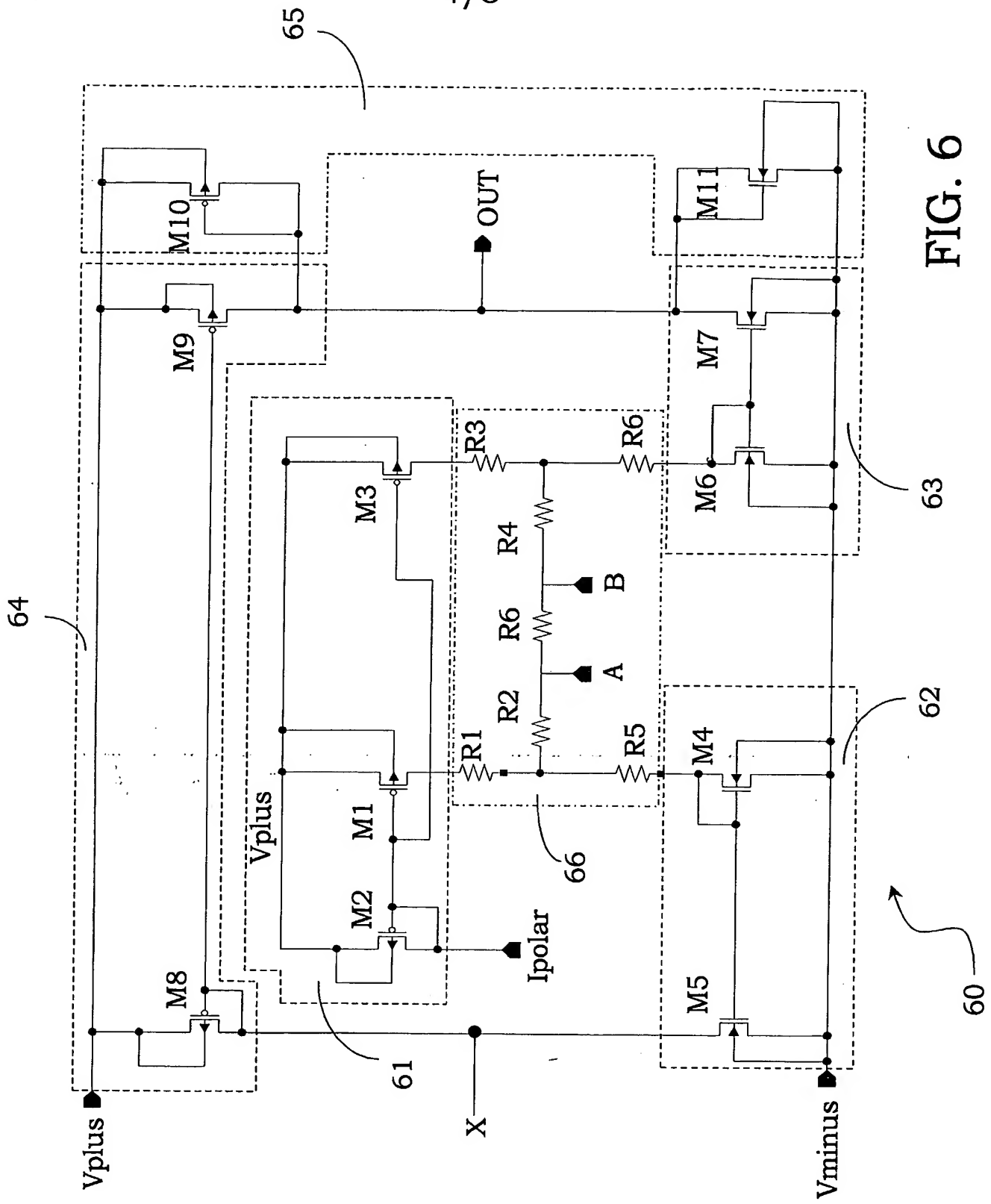


FIG. 7

FIG. 6



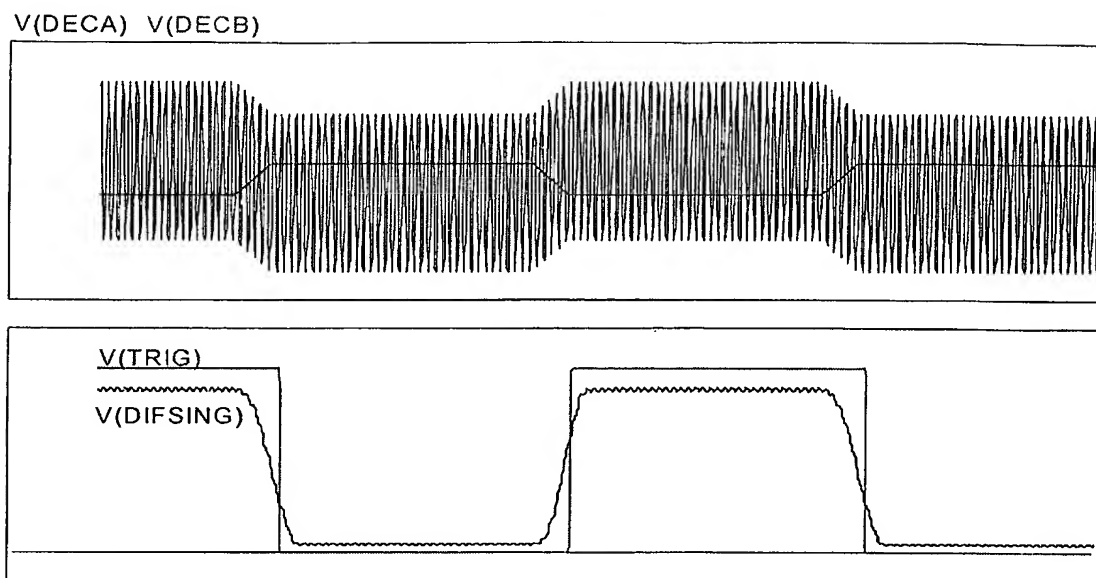


FIG. 8

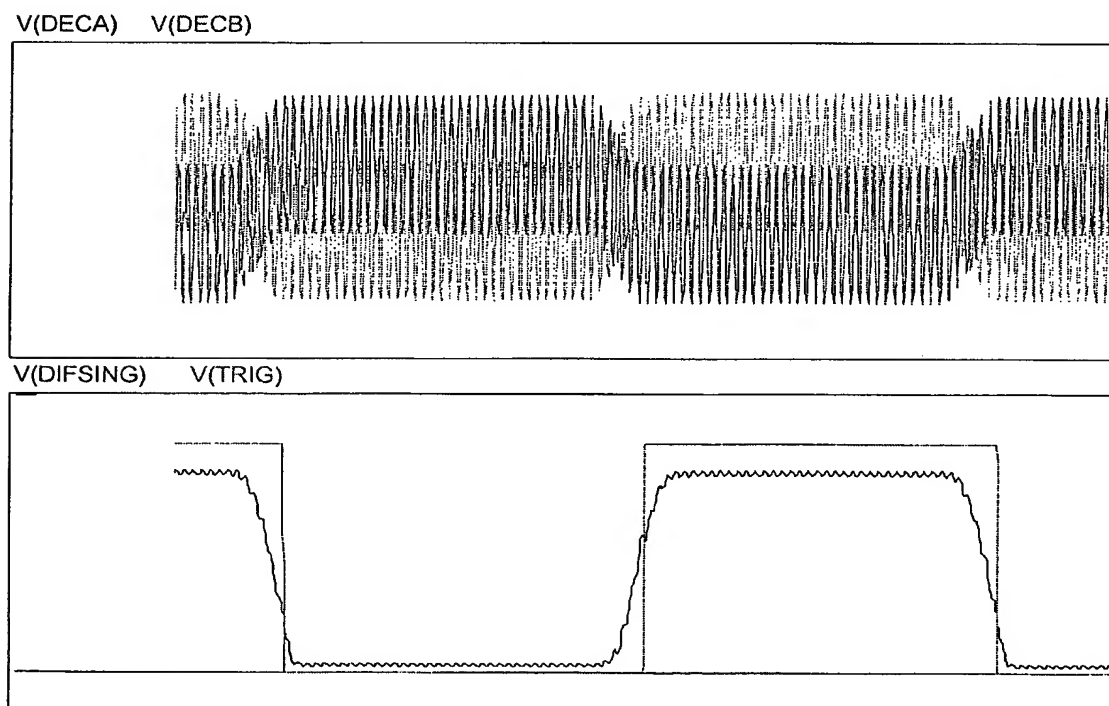


FIG. 9

THIS PAGE BLANK (USPTO)